

(19)日本国特許庁 (J.P.)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-223653

(P2000-223653A)

(43)公開日 平成12年8月11日 (2000.8.11)

(51) Int.Cl.⁷
 H 01 L 25/065
 25/07
 25/18

識別記号

F I
 H 01 L 25/08

テマコト^{*}(参考)
 B

審査請求 未請求 請求項の数 5 O.L. (全 5 頁)

(21)出願番号 特願平11-25462

(22)出願日 平成11年2月2日 (1999.2.2)

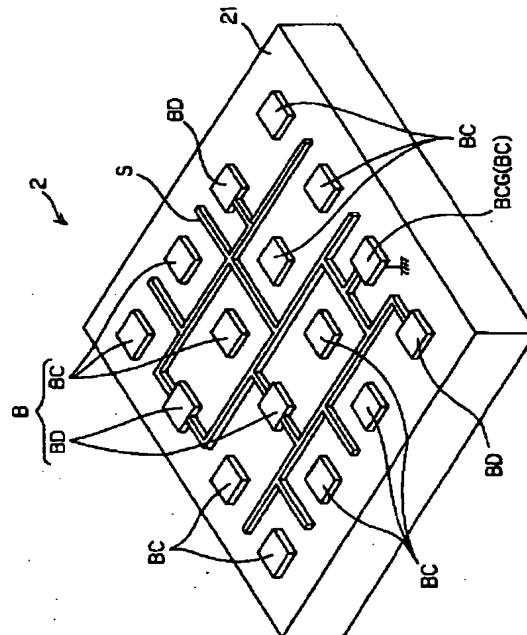
(71)出願人 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町21番地
 (72)発明者 斎田 純一
 京都市右京区西院溝崎町21番地 ローム株
 式会社内
 (72)発明者 持田 博雄
 京都市右京区西院溝崎町21番地 ローム株
 式会社内
 (74)代理人 100087701
 弁理士 稲岡 耕作 (外2名)

(54)【発明の名称】チップ・オン・チップ構造の半導体装置およびそれに用いる半導体チップ

(57)【要約】

【課題】効果的なノイズ対策を施したチップ・オン・チップ構造の半導体装置およびそのための半導体チップを提供する。

【解決手段】チップ間接続のための接続用バンプBCの周囲には、これを取り囲むように壁状のシールド配線部Sが形成されている。シールド配線部Sは、グランドに接続されたバンプBCGに接続されている。さらに、接続用バンプBCが形成されていない領域には、ダミーバンプBDが形成されており、このダミーバンプBDは、シールド配線部Sに接続されている。



【特許請求の範囲】

【請求項1】半導体チップの表面に他の半導体チップを重ねて接合するチップ・オン・チップ構造の半導体装置のための半導体チップであって、

当該半導体チップの表面に形成され、他の半導体チップとの電気接続のためのチップ間接続部と、

当該半導体チップの表面において、上記チップ間接続部を取り囲んで形成され、低インピーダンス部に接続されたシールド導体部とを含むことを特徴とする半導体チップ。

【請求項2】上記チップ間接続部は、当該半導体チップの上記他の半導体チップとの接続面にほぼ均一になるように配置されていることを特徴とする請求項1記載の半導体チップ。

【請求項3】上記チップ間接続部および上記シールド導体部は、上記半導体チップ表面に隆起して形成された金属隆起部からなることを特徴とする請求項1または2記載の半導体チップ。

【請求項4】上記チップ間接続部と上記シールド導体部とは同一材料で構成されていることを特徴とする請求項1ないし3のいずれかに記載の半導体装置。

【請求項5】第1の半導体チップの表面に第2の半導体チップを重ね合わせて接合して構成される半導体装置であって、

上記第1の半導体チップと上記第2の半導体チップとの対向する表面間に設けられ、上記第1の半導体チップと上記第2の半導体チップとの電気接続のためのチップ間接続部と、

上記第1の半導体チップと上記第2の半導体チップとの対向する表面において、上記チップ間接続部を取り囲んで配置されているとともに、低インピーダンス部に接続されたシールド導体部とを含むことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体チップの表面に他の半導体チップを重ねて接合するチップ・オン・チップ構造の半導体装置、およびこののような半導体装置のための半導体チップに関する。

【0002】

【従来の技術】一対の半導体チップを対向させ、これらをバンプによって互いに電気接続するチップ・オン・チップ構造の半導体装置が従来から提案されているが、実現に際して解決すべき問題も多く残っている。たとえば、チップ・オン・チップ構造を採用することにより、各チップを別のパッケージに収容する場合に比較して、各種電子機器の配線基板の面積を小さくして、それらの小型化を図ることができると期待される。しかし、たとえば、とくに高周波信号を取り扱う移動電話機などの機器では、ノイズ対策が重要であるから、配線基板全体を

シールドするためのシールド部材を別途設けることになる。そのため、単にチップ・オン・チップ構造を採用しただけでは、機器の大幅な小型化を図ることができない。

【0003】

【発明が解決しようとする課題】そこで、この発明の目的は、上述の技術的課題を解決し、効果的なノイズ対策を施したチップ・オン・チップ構造の半導体装置およびそのための半導体チップを提供することである。

【0004】

【課題を解決するための手段および発明の効果】上記の目的を達成するための請求項1記載の発明は、半導体チップの表面に他の半導体チップを重ねて接合するチップ・オン・チップ構造の半導体装置のための半導体チップであって、当該半導体チップの表面に形成され、他の半導体チップとの電気接続のためのチップ間接続部と、当該半導体チップの表面において、上記チップ間接続部を取り囲んで形成され、低インピーダンス部に接続されたシールド導体部とを含むことを特徴とする半導体チップである。

【0005】上記の構成によれば、半導体チップ表面のチップ間接続部を取り囲むようにシールド導体部が設けられているので、外部ノイズがチップ間接続部へと到達することを防止できる。これにより、当該半導体チップに別の半導体チップを重ね合わせて接合してチップ・オン・チップ構造の半導体装置を構成する場合に、ノイズシールド構造を別途用意する必要がない。

【0006】また、シールド導体部によってチップ間を支持できるので、樹脂封止などのために半導体チップに

30 作用する応力を分散することができ、機械的圧力や応力歪み等に起因する半導体チップの変形を防止できる。これにより、安定した素子特性を発揮できるチップ・オン・チップ構造の半導体装置を実現できる。とくに、請求項2に記載されているように、上記チップ間接続部を、当該半導体チップの上記他の半導体チップとの接続面にほぼ均一になるように配置しておけば、機械的圧力や応力歪み等に起因する半導体チップの変形をさらに効果的に防止できる。

【0007】なお、請求項3に記載されているように、

40 上記チップ間接続部および上記シールド導体部は、上記半導体チップ表面に隆起して形成された金属隆起部であってもよい。上記金属隆起部は、金属をめっきなどにより盛り上げた、いわゆるバンプであってもよく、また、バンプほど高くは隆起していない金属蒸着膜であってもよい。

【0008】請求項4記載の発明は、上記チップ間接続部と上記シールド導体部とは同一材料で構成されていることを特徴とする請求項1ないし3のいずれかに記載の半導体装置である。この構成によれば、チップ間接続部とシールド導体部とを同一工程で形成することができる

3
ので、製造工程が簡単になる。

【0009】請求項5記載の発明は、第1の半導体チップの表面に第2の半導体チップを重ね合わせて接合して構成される半導体装置であって、上記第1の半導体チップと上記第2の半導体チップとの対向する表面間に設けられ、上記第1の半導体チップと上記第2の半導体チップとの電気接続のためのチップ間接続部と、上記第1の半導体チップと上記第2の半導体チップとの対向する表面間ににおいて、上記チップ間接続部を取り囲んで配置されているとともに、低インピーダンス部に接続されたシールド導体部とを含むことを特徴とする半導体装置である。

【0010】この構成により、請求項1に関連して述べた効果と同様の効果を奏すことができる。

【0011】

【発明の実施の形態】以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。図1は、この発明の一実施形態に係る半導体装置の分解斜視図である。この半導体装置は、第1の半導体チップとしての親チップ1の表面11に、第2の半導体チップとしての子チップ2を重ね合わせて接合した、いわゆるチップ・オン・チップ(Chip-On-Chip)構造を有している。

【0012】親チップ1は、たとえばシリコンチップからなっている。表面11は、半導体基板においてトランジスタなどの機能素子が形成された活性表層領域側の表面であり、最表面は、絶縁物の保護膜で覆われている。この保護膜上には、所定の位置において、外部接続用の複数のパッド12が、ほぼ矩形の平面形状を有する親チップ1の表面11の周縁付近に露出して配置されている。この外部接続用パッド12は、ボンディングワイヤ13によってリードフレーム14に接続されるべきパッドである。親チップ1の内方の領域には、子チップ2の接合領域15が設定されており、この接合領域15には、子チップ2との接続のための内部接続用パッドPが、複数個配置されている。

【0013】子チップ2は、表面21を親チップ11に対向させていわゆるフェースダウン方式で親チップ11に接合される。子チップ2は、たとえばシリコンチップからなっている。表面21は、半導体基板においてトランジスタなどの素子が形成された活性表層領域側の表面であり、最表面は、通常、絶縁物の保護膜で覆われている。

【0014】図2は、子チップ2の構成を拡大して示す斜視図である。子チップ2の上記保護膜の表面21には、耐酸化性の金属、たとえば、金、鉛、プラチナ、銀またはイリジウムからなるバンプBが、表面21から隆起して形成されている。バンプBには、親チップ1に形成された回路との電気接続のためのチップ間接続用バンプBC(チップ間接続部)と、親チップ1の回路との電気接続には寄与しないダミーバンプBDとが含まれてい

る。チップ間接続用バンプBCは、親チップ1との接続面である表面21にほぼ均等に配置されているが、さらに、ダミーバンプBDは、子チップ2の表面において、複数のバンプBがほぼ均等に配置されるように配置が選ばれている。すなわち、接続用バンプBCが配置されていない領域にダミーバンプBDが配置されている。

【0015】さらに、接続用バンプBCをそれぞれ取り囲むように、壁状のシールド配線部Sが表面21に隆起して形成されている。このシールド配線部Sは、ダミーバンプBDと接合されているとともに、接続用バンプBCのうち、グランドに接続されるバンプBCG(低インピーダンス部)に接合されている。そして、シールド配線部Sは、ダミーバンプBDとともに、個々の接続用バンプBCを取り囲み、シールド導体部を形成している。シールド配線部Sは、バンプBと同じ材料で構成されており、製造工程においては、バンプBの形成時に同時に形成することができる。もちろん、バンプBとは別の材料を用いてシールド配線部Sを形成することも可能だが、この場合には、バンプBの形成工程とは別の工程によりシールド配線部Sを形成することになる。

【0016】親チップ1の表面には、図1に示すように、バンプBに対応した位置にそれぞれパッドPが形成されており、また、シールド配線部Sに対応した紐状のパッドPSが形成されている。パッドPのうち、接続用バンプBCに対応する位置に形成されたパッドPCは、親チップ1の内部の回路と接続されている。これに対して、ダミーバンプBDに対向する位置に形成されているパッドPDは、内部の回路とは絶縁状態となっている。シールド配線部Sに対応した紐状のパッドPSも、内部の回路とは電気的に絶縁されている。

【0017】図3は、親チップ1と子チップ2とを接合した状態を示す図解的な断面図である。親チップ1と子チップ2とは、表面11、21同士を対向させた状態で相互に圧接される。このとき、必要に応じて、親チップ1および/または子チップ2に超音波振動が加えられる。このようにして、バンプBおよびシールド配線部Sと、パッドP、PSとがそれぞれ接合される。これによって、親チップ1および子チップ2が一体化され、チップ・オン・チップ構造をなす。この状態では、接続用バンプBCと接続用パッドPCとの接合部は、ダミーバンプBDおよびシールド配線部SとパッドPDおよびPSとがそれぞれ接合されて形成されるシールド導体部によって取り囲まれる。そして、このシールド導体部は、グランドに接続されているので、接続用バンプBCとパッドPCとの接合部は、外部からのノイズに対してシールドされた状態となる。

【0018】しかも、子チップ2には、バンプBがほぼ均等に配置されており、かつ、シールド配線部Sが、接続用パッドPCを取り囲むようにしながら、親チップ1と子チップ2との間に介在している。これにより、親チ

5
ップ1と子チップ2とを接合したチップ・オン・チップ構造の半導体装置を樹脂封止して1つのパッケージ40に納めた場合に、親チップ1または子チップ2の応力歪み等の変形が生じることがなく、これらの内部に形成された素子特性が劣化することがない。

【0019】以上のように、この実施形態によれば、樹脂封止等に起因する機械的圧力や応力に対する耐久性が良好で、かつ、良好なノイズシールド構造を内包した半導体装置を実現できる。これにより、たとえば、移動電話機などの電子機器に大きなシールド機構を設ける必要がなくなるから、これらの機器の小型化が図ることができる。

【0020】この発明の実施形態の説明は以上のとおりであるが、この発明は、他の形態で実施することも可能である。たとえば、上記の実施形態では、シールド配線部Sをグランドに接続しているが、電源ライン（低インピーダンス部）に接続してもよい。また、上記の実施形態では、子チップ2にバンプBを設けているが、親チップ1側に同様のバンプを設けてもよく、親チップ1および子チップ2の両方にバンプを設けて、バンプ同士を接合することによって親チップ1および子チップ2のチップ・オン・チップ接合を達成してもよい。

【0021】シールド配線部Sに関しても同様であり、親チップ1側に同様のシールド配線部を表面21から隆起させて形成してもよく、親チップ1および子チップ2の両方にシールド配線部を設け、これらを相互に接合するようにしてもよい。また、バンプのように高く隆起した金属隆起部の代わりに、金属蒸着膜などを適用してもよい。シールド配線部についても同様であり、バンプは*

* どの高さを有しない金属蒸着膜で構成することができる。

【0022】さらに、上記の実施形態では、親チップ1の表面11に1つの子チップ2が接合される場合について説明したが、親チップ1の表面11に2つ以上の子チップを接合するようにしてもよい。さらに、上記の実施形態では、親チップ1および子チップ2は、いずれもシリコンからなるチップであることとしたが、シリコンの他にも、ガリウム砒素半導体やゲルマニウム半導体などの他の任意の半導体材料を用いた半導体チップをこの発明の半導体装置に適用することができる。この場合に、第1の半導体チップと第2の半導体チップとの半導体材料は、同じでもよいし異なっていてもよい。

【0023】その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【図面の簡単な説明】

【図1】この発明の一実施形態に係る半導体装置の分解斜視図である。

【図2】子チップの構成を拡大して示す斜視図である。
【図3】親チップと子チップとを接合した状態を示す図解的な断面図である。

【符号の説明】

1 親チップ（第1の半導体チップ）

2 子チップ（第2の半導体チップ）

P, PC, PD, PS パッド

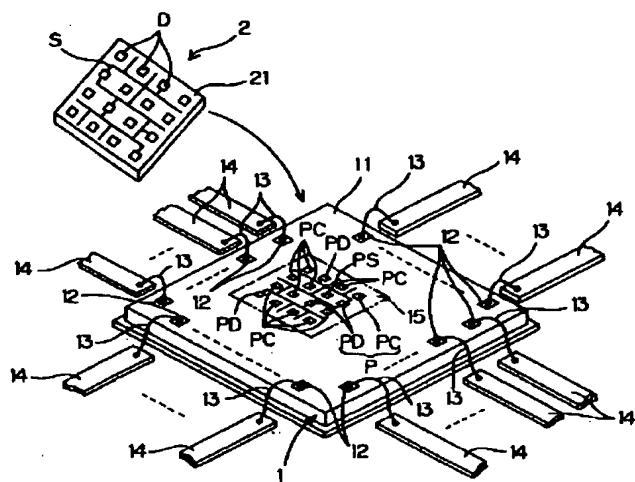
B バンプ

BC 接続用バンプ（チップ間接続部）

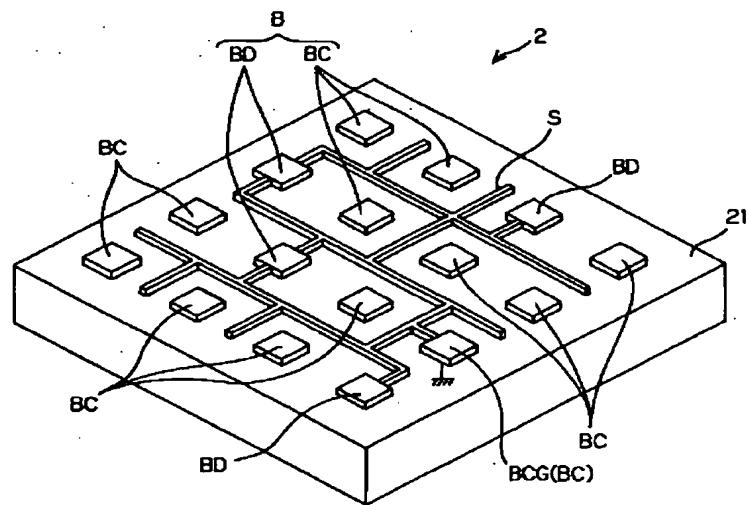
BD ダミーバンプ

S シールド配線部

【図1】



【図2】



【図3】

